

Intitulé

Conception RTL de blocs d'encodage vidéo liés à la norme VVC

Introduction

La norme de compression vidéo VVC permet d'atteindre des taux de compression plus élevés que les normes H.264/AVC, H.265/HEVC, VP9 et AV1 à qualité d'image égale. Elle est destinée à les remplacer pour les applications nécessitant une très grande résolution d'image, une haute qualité et un fort taux de compression.

La finalisation de cette nouvelle norme est annoncée pour la fin de l'année 2020. Les IPs d'encodage vidéo AllegroDVT - qui supportent déjà les normes AVC, HEVC, VP9 et AV1 – sont reconnus dans le monde de la vidéo numérique pour leur qualité vidéo tout en ayant une taille optimisée sur silicium. L'un des enjeux de l'année 2020 sera donc d'intégrer la norme VVC dans la solution déjà existante avec le même niveau d'exigence.

Description succincte de l'offre

Analyse et étude d'implémentation de blocs d'encodage VVC

Ce stage sera complet puisqu'il demandera :

- Une étude de la norme VVC
- Une réflexion sur l'architecture des blocs à concevoir
- Une réflexion sur l'intégration de ces nouveaux blocs dans la solution existante
- L'écriture en VHDL/SystemVerilog des blocs
- L'écriture de tests unitaires en VHDL et C++
- La simulation de l'Encodeur en chaîne complète
- La synthèse ASIC et l'analyse de l'impact en surface, fréquence et consommation

Nous concernant

Allegro Digital Video Technology (www.allegrodivt.com) est une société spécialisée dans les produits de compression vidéo H.264/AVC, H.265/HEVC, VP9, AV1 et VVC. La société a été créée en 2003 par des professionnels de la vidéo numérique et de la conception de circuits intégrés. Elle compte aujourd'hui 37 collaborateurs.

Les produits d'Allegro (<http://www.allegrodivt.com/products/silicon-ips>), bénéficient d'une excellente réputation et sont vendus à travers le monde à de grands acteurs du domaine : Broadcom, Fujitsu, Intel, LG, LSI Logic, Microsoft, NXP, Sagem, Siemens, Sigma Designs, STMicro, Texas Instruments ...

Informations pratiques

Nous recherchons des étudiants en dernière année intéressés par l'encodage vidéo et les systèmes sur puce.

Le développement se fera en langage VHDL et SystemVerilog

La connaissance du SystemVerilog n'est pas exigée

Le développement nécessite une bonne connaissance du langage C/C++

Le stage est basé à Meylan (Inovallée).

Le stage sera rémunéré à hauteur de 1200 euros brut par mois.

Pour obtenir de plus amples informations ou postuler à un stage et discuter de vos et nos projets, veuillez adresser vos CV et lettre de motivation à stages@allegrodivt.com ou nous contacter au 04.76.42.66.85