

# SÍNTESIS LÓGICA DE CIRCUITOS Y AUTOMATIZACIÓN DE PROCESOS

Kevin Hernández, M.Sc. Jonathan de los Santos

Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica

her20066@uvg.edu.gt, jadelossantos@uvg.edu.gt

UVG  
UNIVERSIDAD  
DEL VALLE  
DE GUATEMALA

## RESUMEN

Este trabajo aborda la automatización y mejora de procesos en la síntesis lógica de circuitos descritos en Verilog y en la instalación de aplicaciones de Synopsys. Se documentó el flujo de diseño que se siguió para sintetizar los circuitos, desde la configuración de herramientas y scripts hasta la síntesis de diversos circuitos combinatoriales y secuenciales. Se realizó una optimización de las jerarquías de directorios y se desarrollaron nuevos scripts para automatizar la síntesis lógica y la instalación de Synopsys, reduciendo tareas manuales.

Los resultados obtenidos fueron los esperados. Se realizó una jerarquía eficiente, scripts que simplifican la síntesis y la instalación de software de Synopsys, y la documentación de lo realizado. Se sintetizaron exitosamente circuitos como ALUs, sumadores, contadores, multiplicadores, divisores y el nanochip "El Gran Jaguar", identificando puntos clave para sintetizar circuitos. Este trabajo establece un proceso replicable, organizado y documentado para futuros trabajos.

## OBJETIVOS

### Objetivo general:

Mejorar la automatización de la síntesis lógica para circuitos en Verilog, documentar los procesos de diseño Front-End y Back-End, y mejorar la instalación automatizada de aplicaciones Synopsys.

### Objetivos específicos:

- Replicar avances previos en el diseño del circuito integrado "El gran Jaguar".
- Crear scripts para sintetizar lógicamente cualquier circuito descrito en Verilog.
- Apoyar al equipo encargado de pruebas físicas como ERC, LVS, extracción de parásitos y pruebas finales proporcionándoles los circuitos sintetizados lógicamente.
- Documentar detalladamente las herramientas que se utilizan en cada una de las fases del diseño de circuitos integrados.
- Mejorar el script de instalación automatizada de las aplicaciones de Synopsys.

## RESULTADOS

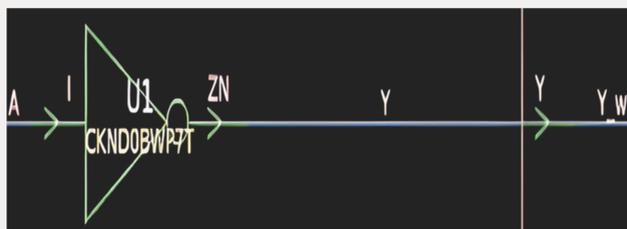


Figura 1. Visualización del circuito sintetizado de una Not

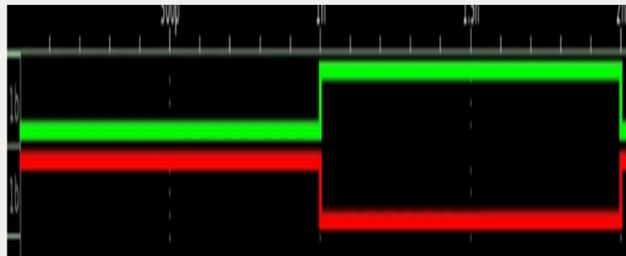


Figura 2. Visualización de la señal del circuito sintetizado de una Not

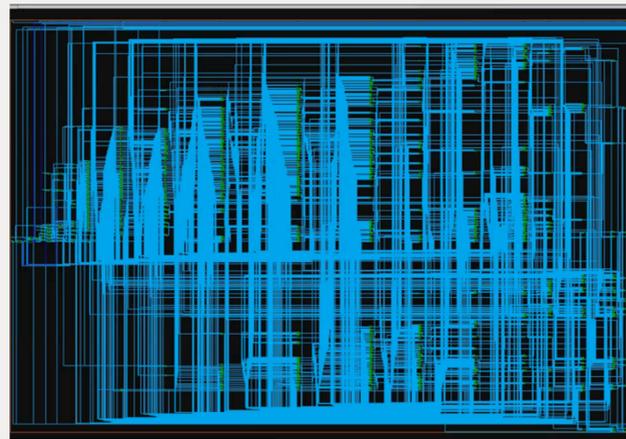


Figura 3. Visualización del nanochip sintetizado

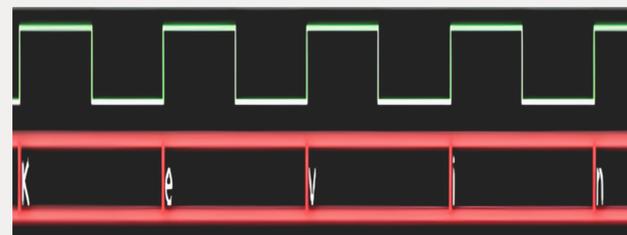


Figura 4. Visualización de la señal de salida del nanochip sintetizado

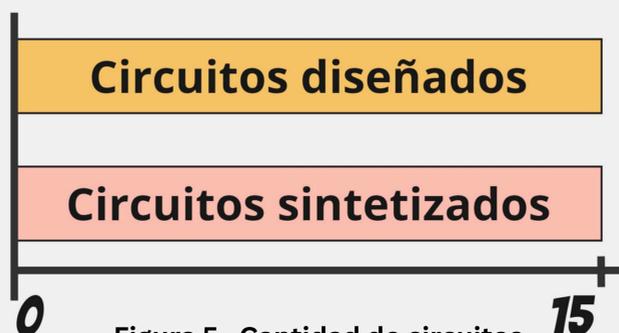


Figura 5. Cantidad de circuitos diseñados y sintetizados

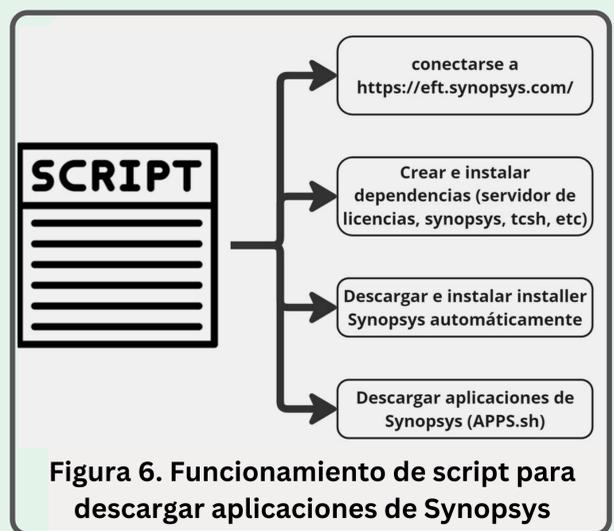


Figura 6. Funcionamiento de script para descargar aplicaciones de Synopsys

## CONCLUSIONES

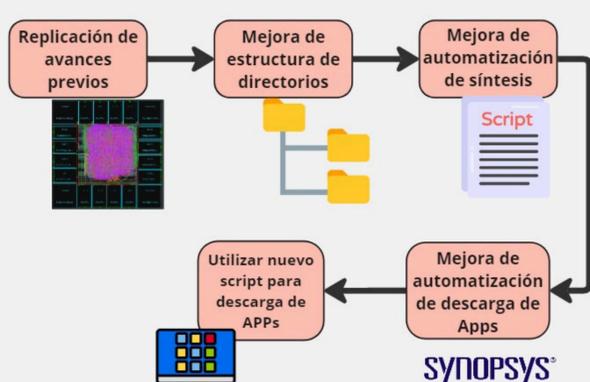
- Se desarrollaron nuevos scripts para automatizar la síntesis lógica, eliminando la necesidad de realizarla manualmente dos veces.
- Se sintetizaron exitosamente diversos circuitos combinatoriales y secuenciales, identificando puntos clave para su diseño.
- Se implementó una nueva jerarquía de directorios para organizar los archivos de salida generados para cada circuito a sintetizar.
- Se mejoró el proceso de descarga de aplicaciones Synopsys con un nuevo script.
- Se documentó todo el proceso llevado a cabo en formato de documento y video.

## TRABAJO FUTURO

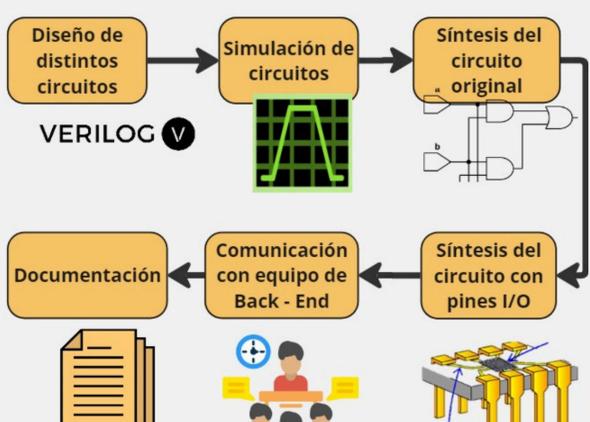
- Replicar el diseño del nanochip "El gran Jaguar" utilizando las librerías de 65 nm de TSMC.
- Se puede desarrollar una interfaz gráfica para ingresar librerías, archivos a sintetizar e interactuar con DVE o Waveview, facilitando la visualización de señales sin usar comandos.
- Se recomienda mejorar el script de instalación (APPS.sh) para que los nombres de las aplicaciones se obtengan automáticamente del archivo myproductsrev.txt, evitando errores por posibles cambios en los nombres.

## MÉTODOS

### 1. MEJORA DE PROCESOS



### 2. SÍNTESIS LÓGICA DE CIRCUITOS



## VIDEO

